

СЕРГІЄНКО А.М.,
ЛЕПЕХА В.Л.,
ЛЕСИК Т.М.

СПЕЦПРОЦЕСОРИ ДЛЯ ДВОВИМІРНОГО ДИСКРЕТНОГО КОСИНУСНОГО ПЕРЕТВОРЕННЯ

Описано хід розробки спецпроцесорів для прямого і оберненого двовимірного дискретного косинусного перетворення з використанням метода синтезу конвейєрних обчислювальних пристроїв. Показані переваги цих процесорів як за швидкодією, так і за апаратними витратами при їхній реалізації в програмованих логічних інтегральних схемах.

The process of development of 2-d DCT and IDCT processors using the method of pipeline processor synthesis is described. The advantages of these processors both due to its speed and due to its hardware volume by their implementation in FPGA are proven.

Двовимірне дискретне косинусне перетворення (ДКП) виконує відображення масиву дійсних чисел розмірами $n \times n$ в масив косинусного спектру розмірами $n \times n$. Пара двовимірних ДКП і інверсного ДКП (ІДКП) використовується для ущільнення зображень за стандартами JPEG і MPEG, для яких $n = 8$. За звичайним алгоритмом двовимірне ДКП обчислюється як n -точкове ДКП над стовпчиками початкової матриці, а потім – n -точкове ДКП над рядками матриці проміжних результатів. Так, восьми-точкове ДКП обчислюється за формулами:

$$Y(0) = \frac{1}{\sqrt{8}} \sum_{m=0}^7 X(m), \quad Y(k) = \frac{1}{2} \sum_{m=0}^7 X(m) \cos \frac{(2m+1)k\pi}{16}, \quad k = 1, 2, \dots, 7, \quad (1)$$

де $X(m)$ – початкові дані, $Y(k)$ – k -й коефіцієнт косинусного спектру.

Восьмиточкове ІДКП обчислюється за формулою:

$$X(m) = \frac{1}{2} \sum_{k=0}^7 Y(k) \cos \frac{(2m+1)k\pi}{16}, \quad m = 0, 1, \dots, 7, \quad (2)$$

де $Y(k)$ – k -й коефіцієнт косинусного спектру, $X(m)$ – m -й результат ІДКП.

Авторами були розроблені спецпроцесори для ДКП і ІДКП. Метою розробки було створення процесорів, що конфігуруються в програмованій логічній інтегральній схемі (ПЛІС) і забезпечують максимальну пропускну спроможність при умові, що дані поступають в кожному такті. Іншою метою була перевірка ефективності методики синтезу конвейєрних обчислювальних пристроїв [2,3].

Структури процесорів складаються з вхідної буферної пам'яті, двох блоків конвейєрної обробки, що виконують ДКП або ІДКП розміру 8 і

буферної пам'яті між ними для транспозиції матриці проміжних результатів. Загальний блок керування призначений для генерації необхідних адресних послідовностей і керуючих сигналів.

Швидкі алгоритми обчислення одновимірних ДКП і ІДКП основані на факторизації формул (1) і (2) і в більшості випадків є різновидами алгоритма Чена [1]. Ці алгоритми характеризуються мінімальною кількістю операцій (рекорд – 11 операцій множення). Але через неоднорідність графа алгоритма утруднюється побудова конвейєрного обчислювача ДКП.

При виборі алгоритма бажано приймати до уваги, що в ПЛІС фірм Xilinx, Altera складності суматора, регістра і двохвходового мультиплексора приблизно однакові, а складність блока множення вдсятеро більша за складність суматора; регістрові затримки SRL16 глибиною до 16 мають складність одного регістра [3]. В результаті, були розроблені алгоритми з 24 множеннями, 44 додаваннями і відніманнями, що виконують 8-точкове ДКП і ІДКП і які мають більш регулярну структуру своїх графів.

Згідно з методом синтезу конвейєрних обчислювачів [2], граф синхронних потоків даних (ГСПД) алгоритму представляється в трьохвимірному просторі у вигляді конфігурації алгоритму (КА) $K_G = (K, D, A)$, де K – матриця векторів-вершин K_i , що відповідають операторам алгоритма, D – матриця векторів-дуг D_j , безпосередніх інформаційних зв'язків між операторами, A – матриця інцидентності ГСПД. В векторі-вершині $K_i = \langle k_i, s_i, t_i \rangle$ координати k_i, s_i, t_i дорівнюють типу оператора, номеру елементарного процесорного елемента (ПЕ), в якому виконується цей оператор і такту, в якому результат цього оператора записується в регістр.

Пошук оптимального структурного рішення полягає в знаходженні такої матриці K , яка мінімізує заданий критерій якості. При пошуку ефективних рішень слід керуватись рядом закономірностей про умови коректності КА, розкладу алгоритму, умов мінімізації апаратних витрат і умов виконання алгоритму в конвейєрному режимі з періодом L тактів [2,3].

Ефективну КА одержують в два етапи. На першому етапі вершини ГСПД разом з дугами розміщуються в просторі як множина векторів K_i і D_j з урахуванням умов коректності КА, тобто формується початкова КА. Мінімізується число ПЕ в структурі через виконання вимоги, коли число вершин, що відображаються в один ПЕ, прямує до L .

На другому етапі виконується врівноваження КА, коли у всі дуги ГСПД включаються проміжні вершини операторів затримки (регістрів). В результаті, вершини-оператори формують яруси, відстань між якими по координаті часу t дорівнює 1 такт. Врівноважена КА оптимізується через взаємні перестановки векторів-вершин з одного яруса, в результаті чого мінімізується число регістрів і входів мультиплексорів.

На рис. 1 показана КА алгоритму ІДКП, що одержана на другому етапі. Формування КА виконувалось за допомогою редактора КА Paredit, розробленого авторами.

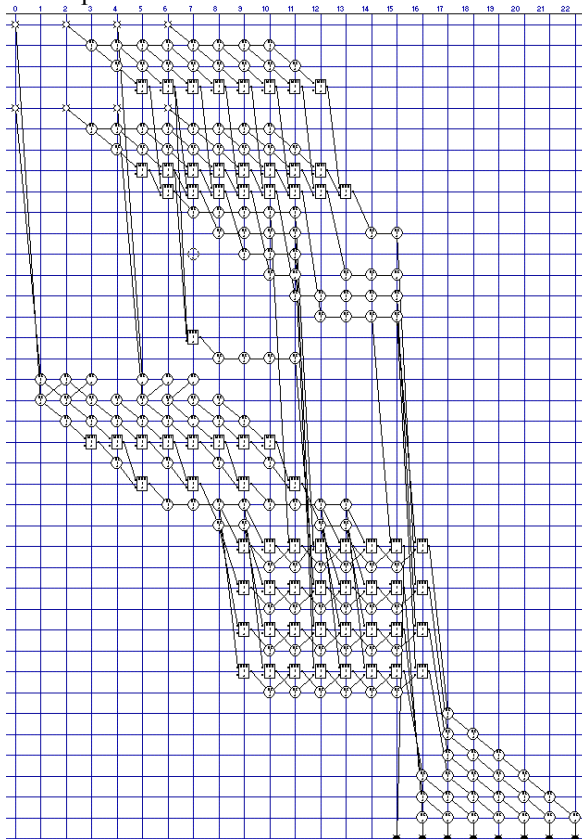


Рис. 1

Конфігурація алгоритму ІДКП

На основі цієї КА за методикою, наведеною в [3], був складений VHDL-опис блоку конвейерної обробки, що був включений в проект процесора. Результати конфігурування процесорів ДКП і ІДКП в різні ПЛІС фірми Xilinx приведені в таблиці 1.

Табл. 1. Апаратні витрати процесорів в кількості еквівалентних конфігурованих логічних блоків (CLB slices) і максимальна тактова частота f_C при реалізації в ПЛІС фірми Xilinx.

Процесор	xc2vp4-7		xc4vlx15-12		xc5vlx30-3	
	CLB slices	f_C , МГц	CLB slices	f_C , МГц	CLB slices	f_C , МГц
ДКП	583	260	549	320	194	400
ІДКП	771	255	705	305	233	400

Процесор ДКП має вхідну розрядність даних – 8 і вихідну розрядність – 12. Максимальна похибка не перевищує 5-кратного значення молодшого розряду в 12-розрядному результаті, що відповідає максимальній похибці 0,25 %. Процесор ІДКП приймає 12-розрядні дані спектру і видає 8-розрядні відновлені дані. Максимальна похибка обчислень не перевищує одного молодшого розряду. Таким чином, розрядність проміжних результатів і коефіцієнтів підібрана такою, щоб забезпечити мінімальні апаратні витрати, максимальну швидкодію при задовільній точності розрахунків.

В табл.2 розроблений процесор ДКП порівнюється з аналогами, які пропонуються відомими фірмами, що виконані на тій самій елементній базі – ПЛИС xc2v-6. В колонках таблиці крім кількості еквівалентних конфігурованих логічних блоків і максимальної тактової частоти f_c вказана кількість блоків множення MPU і блоків пам'яті BRAM. Порівняння процесорів показує екстремально високу швидкодію і низькі апаратні витрати розробленого процесора.

Табл. 2. Характеристики процесорів ДКП

Виробник	CLB slices	MPU	BRAM	f_c , МГц	Примітка
НТУУ"КПІ"	599	6	0	230	
CAST [4]	743	8	1	161	
BARCO [5]	1190	0	2	133	
Xilinx [6]	2295	0	0	141	Розрядність результ. 20

Таким чином, розробка спецпроцесорів ДКП і ІДКП показала високу ефективність метода синтезу конвейєрних обчислювальних пристроїв, запропонованого в [2,3]. Ці процесори можна використовувати в усіх нових пристроях для обробки фото- і відео зображень, включаючи такі, для яких потрібна обробка з високою пропускнуною спроможністю.

Список посилань

1. Liang J., Tran T.D. Fast Multiplierless approximations of the DCT With the Lifting Scheme //IEEE Trans. on Signal Processing. – V49. –№12. –2001. –р.3032-3044.
2. Сергиєнко А.М. VHDL для проєктирования вычислительных устройств. – Киев: Диасофт. –2002. – 210 с.
3. Сергиєнко А.М. Симоненко В.Н. Отображение периодических алгоритмов в ПЛИС // Электрон. моделирование.
4. DCT-FI 2D Forward and Inverse Discrete Cosine Transform Core. - Sept. – 2007.- Available at http://www.cast-inc.com/cores/dct/cast_dct-x.pdf
5. Forward and inverse 2D DCT // BA118DCT/IDCT Factsheet. – 01 March 2005 . – 4р. – Available at www.barcodesignservices.com
6. 2-D Discrete Cosine Transform (DCT). V2.0// Xilinx Inc Product Specification . - March 14, 2002.-11p. -Available at <http://www.xilinx.com>.