

МАРКОВСЬКИЙ О. П.,  
ШАПРАН К. О.,  
ГАВРИШ Д. В.

## МЕТОД КОРЕКЦІЇ БАГАТОКРАТНИХ ПОМИЛОК СИНХРОНІЗАЦІЇ В ПОСЛІДОВНИХ КАНАЛАХ ПЕРЕДАЧІ ДАНИХ

Стаття присвячена проблемі підвищення ефективності корекції багатократних помилок синхронізації в послідовних каналах передачі даних комп'ютерних систем. У статті запропоновано, теоретично обґрунтовано та досліджено оригінальний метод формування контрольного коду та його використання для виправлення всіх помилок синхронізації, кратність яких не перевищує двох. Детально представлено математичну ідею методу та процедуру корекції помилок. Використання процедури корекції ілюструється прикладом. Наведено теоретичні та експериментальні оцінки ефективності запропонованого методу.

The article deals with problem of efficiency increase in correction of multiple synchronization errors in serial data transition channels in computer systems. New method of control code formation is offered, theoretically proved and analyzed in this article, as well as its use for correction of all synchronization errors multiplicity of which is not greater than two. It has detailed mathematical idea of this method and errors correction procedure. The use of correction procedure is illustrated in the example. The theoretical and experimental effectiveness evaluation of proposed method are given.

**Ключові слова:** помилки синхронізації, багатократні помилки передачі даних, корекція помилок, послідовні канали передачі даних, лінійні надлишкові корегуючі коди.

### Вступ

Динамічний розвиток комп'ютерних систем значною мірою зумовлений стрімким прогресом засобів передачі даних між їх компонентами. У той же час передача даних залишається одним з критичних, з точки зору надійності, процесів обробки інформації в комп'ютерних системах управління. Труднощі забезпечення високої достовірності передачі цифрових даних зумовлені складною природою фізичних процесів проходження сигналів в довгих лініях, їх взаємним впливом (міжсигнальна інтерференція) та впливом зовнішніх перешкод. Тому однією з актуальних задач розвитку комп'ютерних технологій являється забезпечення високої надійності передачі даних між компонентами комп'ютерних систем.

У сучасних комп'ютерних системах більше половини загального об'єму даних передається по послідовних каналах [1]. Задля прискорення передачі даних такі канали в сучасних системах використовують неповну синхронізацію. Це означає, що біти певної полярності передаються асинхронно. У свою чергу, такий порядок передачі інформації в послідовних каналах має наслідком можливість виникнення помилок синхронізації. Ймовірність появи таких

помилко різко зростає зі збільшенням швидкості передачі даних. Іншим чинником, що впливає на ймовірність виникнення помилок синхронізації в послідовних каналах є різниця температур на приймачі та передавачі. При асинхронній передачі даних кількість переданих бітів визначається за допомогою внутрішнього таймера, основним вузлом якого є кварцовий резонатор, властивості якого значною мірою залежать від температури. Саме тому помилки синхронізації найбільш критичні для систем комп'ютерного управління технологічними процесами та об'єктами зі значними різницями температур на термінальних пристроях.

Таким чином, на сучасному етапі розвитку комп'ютерних систем актуальною є проблема забезпечення ефективної корекції помилок синхронізації різної кратності, що виникають в послідовних каналах.

### Аналіз існуючих засобів корекції помилок синхронізації

Основними критеріями ефективності засобів корекції помилок синхронізації є:

- кількість контрольних розрядів;
- обчислювальна складність процедури корекції помилок;

– часова складність процедури корекції помилок;

– кратність помилок, що можуть бути виправлені.

У сучасних умовах динамічного зростання швидкості передачі даних, змінюється значимість окремих критеріїв ефективності. Зокрема, зменшується значимість кількості контрольних розрядів. Натомість для систем комп'ютерного управління реального часу визначальними чинниками стають часова складність процедури виправлення помилок синхронізації та кратність помилок, що можуть бути виправлені [2].

На практиці існує два основних механізми обробки помилок передачі даних. Перший використовує для виявлення помилок синхронізації спеціальні контрольні коди, а виправлення реалізується шляхом повторної передачі. Другий механізм – виправляє помилки за рахунок контрольних кодів, що передаються разом з даними.

Для виявлення помилок в першому механізмі часто використовують надлишкові циклічні коди – CRC (Cyclic Redundancy Codes) [2]. Вони здатні гарантовано виявити помилки непарної кратності, а також пачки помилок, довжина яких не перевищує розрядності контрольного коду. Головним недоліком CRC є послідовний характер розрахунку контрольного коду, а саме рекурсивним способом, що призводить до великих витрат часу на його реалізацію. Також чимало часу займає повторне пересилання блоку даних, що передбачає перевірку правильності передачі, відправлення запиту на повторну передачу та безпосередньо саму повторну передачу. Однак все це не гарантує відсутності повторної появи помилки синхронізації, а також призводять до значних часових затримок. Крім того, CRC не гарантує виявлення навіть однієї помилки синхронізації. Тому в сучасних умовах, застосування повторної передачі, як засобу корекції помилок синхронізації, стає все менш ефективним [2].

У порівнянні з повторною передачею, більш швидким способом виправлення помилок є використання коригуючих кодів. До найбільш відомих відносяться: код Хеммінга, код Голя, коди БЧХ та коди Ріда-Соломона, що дозволяють коригувати одну або обмежену кількість помилок. Вказані коригуючі коди орієнтовані на обмежену кількість бітів та стають неефективними для виправлення помилок синхронізації в силу того, що навіть

одна помилка тягне за собою зміни значень бітів блока даних, який передається. Основний недолік перерахованих кодів визначається тим, що їх реалізація має велику обчислювану складність. Тому в сучасних комп'ютерних системах застосовуються методи попередження появи помилок синхронізації та спеціальні методи їх корекції.

Розповсюдженим методом попередження виникнення помилки синхронізації являється бітовий стаффінг [1]. Він полягає у додаванні синхронізованого біту нульового біта в кінці кожної послідовності несинхронізованих бітів, кількість яких досягає критичної межі. У результаті застосування цього механізму відбувається передача додаткових бітів переривання послідовностей несинхронізованих бітів. Тому, аналіз прийнятого блоку, розпізнавання та видалення з нього бітів переривання займає тривалий час. Спеціальні методи [3] виправлення одиначної помилки і дворазових помилок синхронізації в основному базуються на використанні логічних та арифметичних зважених контрольних сум. Основним недоліком цих методів є те, що вони дозволяють виправляти лише одну чи дві помилки синхронізації, що недостатньо в сучасних умовах різкого зростання об'ємів передач.

У роботі [4] запропоновано метод, який дозволяє виправляти всі помилки синхронізації, за умови, що їх кратність для кожної з послідовностей несинхронізованих бітів не перевищує одиниці. Число контрольних  $k$  символів, які додатково передаються разом з інформаційним блоком довжини  $n$  визначається як  $n/2 \cdot h$ , де  $h$  – найменша довжина послідовності несинхронізованих бітів при передачі яких може виникнути помилка синхронізації.

Недоліком методу є те, що його коригуюча здатність обмежена лише однократними помилками при передачі послідовності несинхронізованих бітів, тобто він здатен виправляти лише одну помилку на кожну таку послідовність.

Разом з цим існує велика кількість застосувань для яких температури передавача та приймача істотно відрізняються та існує помітна ймовірність виникнення помилок, кратністю більше двох.

Таким чином, відомі методи не забезпечують ефективного вирішення задачі локалізації і корекції великої кількості одиночних та подвійних помилок синхронізації в темпі передачі даних.

Метою досліджень є розробка методу ефективної корекції одиночних та подвійних помилок синхронізації в темпі передачі цифрових даних між компонентами комп'ютерних систем з використанням асинхронних каналів.

### Метод корекції помилок синхронізації

Для досягнення поставленої мети запропоновано метод корекції багатократних помилок синхронізації, що виникають у процесі передачі  $n$ -бітового блоку даних, який дозволяє суттєво розширити коригуючу здатність за рахунок виправлення однієї та двох помилок синхронізації, що виникають при передачі однієї послідовності несинхронізованих бітів.

Виникнення помилок синхронізації в процесі послідовної передачі цифрової інформації стає можливим тільки для фрагментів, що представляють собою послідовність несинхронізованих бітів, довжина  $l$  яких досягає певної критичної межі  $h$ . Ймовірність виникнення помилок синхронізації зростає зі збільшенням кількості послідовних несинхронізованих бітів у блоці даних. Тому в блоці даних  $B_S$ , що відсилається, виділяються всі фрагменти, що складаються з послідовності одиниць, довжиною не меншою за критичну межу  $h_1$ . Виділені фрагменти позначаються як  $E_{1S}, E_{2S}, \dots, E_{mS}$ , де  $m$  – кількість фрагментів у  $n$ -бітовому блоці  $B_S$ . З цих фрагментів можна виділити такі, довжина яких перевищує другу критичну межу  $h_2$  таку, що існує ймовірність виникнення двох помилок синхронізації. Довжини фрагментів відповідно дорівнюють:  $l_{1S}, l_{2S}, \dots, l_{mS}, \forall i = 1, \dots, m; l_{iS} \geq h_1$ . На стороні передавача пропонується сформулювати контрольну послідовність  $S$ , яка складається з бітів  $\langle c_1, c_2, c_3, \dots, c_q \rangle$ , де  $c_i \in \{0, 1\}$ , шляхом аналізу довжини  $l_{iS}$  фрагмента  $E_{iS}$ , де  $i \in \{1, \dots, m\}$ . Якщо довжина  $l_{iS}$  менша ніж  $h_2$ , то пропонується виділити два контрольних біти  $\langle c_q, c_{q+1} \rangle$ , які обчислюються як залишок від ділення довжини виділеного фрагмента на чотири:

$$2 \cdot c_{q+1} + c_q = l_{iS} \bmod 4. \quad (1)$$

Якщо довжина послідовності несинхронізованих бітів більша критичної межі  $h_2$ , то в контрольну послідовність додаються три біти  $\langle c_q, c_{q+1}, c_{q+2} \rangle$ , що обчислюються як залишок від ділення довжини  $l_{iS}$  фрагмента на вісім:

$$4 \cdot c_{q+2} + 2 \cdot c_{q+1} + c_q = l_{iS} \bmod 8. \quad (2)$$

Сформована описаним способом контрольна послідовність  $S$  передається разом з інформаційним блоком  $B_S$  до приймача.

На стороні приймача прийнятий блок даних  $B_R = \{b_1, b_2, \dots, b_n\}, \forall k \in \{1..n\}: b_k \in \{1, 0\}$ , аналізується аналогічно до надісланого: виділяються фрагменти  $E_{1R}, E_{2R}, \dots, E_{mR}$  бітів, передача яких не синхронізується, довжина яких  $l_{1R}, l_{2R}, \dots, l_{mR}, \forall i = 1, \dots, m; l_{iR} \geq h_1$  не менша за  $h_1$ .

У прийнятому  $i$ -му фрагменті  $E_{iR}$  в залежності від довжини  $l_{iR}$  можуть виникати одна або дві помилки синхронізації. Запропонований метод враховує можливість виникнення двох помилок синхронізації у фрагментах, які представляють собою послідовність несинхронізованих бітів, довжина  $l_{iR}$  яких більша за  $h_2: l_{iR} \geq h_2$ .

У фрагментах меншої довжини:  $h_1 \leq l_{iR} < h_2$ , можливе виникнення помилок двох типів: поява додаткового одиничного біта, тобто збільшення отриманого фрагмента відносно відправленого на несинхронізований біт:  $l_{iR} = l_{iS} + 1$ , і втрата біта, що означає зменшення на несинхронізований біт прийнятого фрагмента відносно відправленого:  $l_{iR} = l_{iS} - 1$ .

При передачі більш довгих послідовностей несинхронізованих бітів, довжина  $l_{iR}$  яких більша за  $h_2: l_{iR} \geq h_2$ , існує ймовірність появи помилок синхронізації чотирьох типів: додавання одного несинхронізованого біту в процесі передачі, що призводить до збільшення довжини прийнятої послідовності відносно відправленої –  $l_{iR} = l_{iS} + 1$ ; втрата одного біта, тобто зменшення кількості несинхронізованих бітів у прийнятому фрагменті в порівнянні з відправленим –  $l_{iR} = l_{iS} - 1$ ; виникнення двох додаткових бітів, що означає збільшення довжини отриманого фрагмента відносно відправленого на два біти –  $l_{iR} = l_{iS} + 2$ ; втрата двох несинхронізованих бітів, тобто зменшення на два біти прийнятого фрагмента у порівнянні з відправленим –  $l_{iR} = l_{iS} - 2$ .

Вирішення задачі визначення типу помилок пропонується здійснювати шляхом порівняння та аналізу бітів отриманої контрольної послідовності та довжин виділених фрагментів несинхронізованих бітів на приймачі.

У розробленому методі аналізуються довжини  $l_{iR}$  фрагментів, що являються послідовністю несинхронізованих бітів на стороні приймача, щодо п'яти проміжків

значень довжин. Усі проміжки сформовані відносно критичної межі  $h_2$  :

1)  $l_{iR} < h_2 - 2$ , якщо значення довжини  $l_{iR}$  фрагмента несинхронізованих бітів прийнятого блоку задовольняє умову, то перевіряються випадки передачі фрагмента безпомилково або з помилкою синхронізації одного з типів: додавання одного біта або втрата одного несинхронізованого біта при передачі. При виявленні помилки синхронізації пропонується виконати відповідну корекцію фрагмента шляхом вилучення або додавання одного біта;

2)  $l_{iR} = h_2 - 2$ , при виконанні умови, перевіряється факт наявності помилки синхронізації. Передбачено можливість виникнення помилки синхронізації одного з трьох типів: зменшення кількості одиниць на один/два біта або збільшення на один біт на стороні приймача фрагмента, що аналізується. Корекція відповідно реалізується шляхом додавання одного/двох бітів або вилучення одного несинхронізованого біта;

3)  $l_{iR} = h_2 - 1$ , якщо умова виконується, то пропонується перевірити випадок передачі фрагмента без помилок або з помилками синхронізації одного з трьох типів: втрата одного/двох несинхронізованих бітів або додавання одного біта при передачі фрагмента. Для корекції необхідно виконати збільшення фрагмента на один/два біта або зменшення на один несинхронізований біт;

4)  $l_{iR} = h_2$ , у випадку виконання умови, перевіряються випадки передачі фрагмента безпомилково або з помилкою синхронізації одного з трьох типів: додавання одного біта або втрата одного/двох несинхронізованих бітів при передачі. При виявленні помилки синхронізації пропонується виконати відповідну корекцію фрагмента шляхом вилучення або додавання одного/двох бітів;

5)  $l_{iR} > h_2$ , якщо значення довжини  $l_{iR}$  фрагмента задовольняє умову, тоді виконується перевірка на наявність помилки синхронізації або її відсутність. Передбачається можливість виникнення помилок чотирьох типів: зменшення кількості несинхронізованих одиниць на один/два біта, або їх збільшення на один/два одиничних біта. У випадку виявлення помилки синхронізації виконуються корекції шляхом додавання/вилучення одного або двох несинхронізованих бітів з фрагмента.

Формально, запропонований метод корекції багатократних помилок синхронізації представляється у вигляді наступної послідовності дій:

1. У блоці даних  $B_S$ , що відсилається, виділяються фрагменти  $E_{1S}, E_{2S}, \dots, E_{mS}$ , в яких кількість послідовних одиничних бітів не менша за  $h_1$ .

2. Визначається довжина  $l_{iS}$  кожного  $i$ -го фрагменту  $E_{iS}, i \in \{1, 2, \dots, m\}$ , блоку.

3. Лічильник  $j$  фрагментів  $E_{1S}, E_{2S}, \dots, E_{mS}$ , встановлюється в одиницю.

4. Індекс  $q$  поточного біту контрольної послідовності  $S$  встановлюється в одиницю.

5. Якщо довжина  $l_{jS}$   $j$ -го фрагменту  $E_{jS}$  менша за  $h_2$ :  $l_{jS} < h_2$ , то в контрольну послідовність  $S$  додаються два біти  $\langle c_q, c_{q+1} \rangle$ , які обчислюються як залишок від ділення довжини  $l_{jS}$  на чотири:  $2 \cdot c_{q+1} + c_q = l_{jS} \bmod 4$ . Перехід на п.7.

6. Якщо довжина  $l_{jS}$   $j$ -го фрагменту  $E_{jS}$  більша або дорівнює  $h_2$ :  $l_{jS} \geq h_2$ , то в контрольну послідовність  $S$  додаються три біти  $\langle c_q, c_{q+1}, c_{q+2} \rangle$ , що обчислюються як залишок від ділення довжини  $l_{jS}$  на вісім:  $4 \cdot c_{q+2} + 2 \cdot c_{q+1} + c_q = l_{jS} \bmod 8$ . Перехід на п.8.

7. Індекс  $q$  збільшується на два:  $q = q + 2$ . Перехід на п.9.

8. Індекс  $q$  збільшується на три:  $q = q + 3$ .

9. Якщо  $j < m$ , то виконується інкремент значення лічильника:  $j = j + 1$  і повернення на п.5.

10. Блок  $B_S$  передається разом із бітами  $\langle c_1, c_2, c_3, \dots, c_q \rangle$  контрольної послідовності  $S$ .

11. У прийнятому блоці  $B_R$  виокремлюються фрагменти  $E_{1R}, E_{2R}, \dots, E_{mR}$ , що являють собою послідовності одиниць, довжиною не меншою за  $h_1$ .

12. Визначаються кількості  $l_{1R}, l_{2R}, \dots, l_{mR}$  одиниць у виділених фрагментах  $E_{1R}, E_{2R}, \dots, E_{mR}$  прийнятого блоку.

13. Лічильник  $j$  фрагментів  $E_{1R}, E_{2R}, \dots, E_{mR}$  встановлюється в одиницю.

14. Індекс  $u$  поточного біту контрольної послідовності  $S$  встановлюється в одиницю.

15. Якщо значення довжини  $l_{jR}$  менше за  $(h_2 - 2)$ , тобто  $l_{jR} < h_2 - 2$ , то перевіряються умови:

15.1 Якщо  $l_{jR} \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то перехід на п.20.

15.2 Якщо  $(l_{jR} + 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то  $j$ -тий фрагмент передано з помилкою синхронізації: приймач зменшив кількість одиниць в  $j$ -тому фрагменті на один. Відповідно, фрагмент  $E_{jR}$  збільшується на одну одиницю. Перехід на п.20.

15.3 Якщо  $(l_{jR} - 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то фрагмент  $E_{jR}$  передано з помилкою

синхронізації: приймач збільшив кількість одиниць в  $j$ -тому фрагменті на один. Корекція виконується шляхом видалення з фрагменту  $E_{jR}$  однієї одиниці. Перехід на п.20.

16. Якщо значення довжини  $l_{jR}$  дорівнює  $(h_2 - 2)$ :  $l_{jR} = h_2 - 2$ , то виконується перевірка наступних умов:

16.1 Якщо  $l_{jR} \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то перехід на п.20.

16.2 Якщо  $(l_{jR} + 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: зменшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Корекція відбувається шляхом додавання одиниці до фрагменту  $E_{jR}$ . Перехід на п.20.

16.3 Якщо  $(l_{jR} - 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: збільшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Відповідно у фрагменті  $E_{jR}$  видаляється одиниця. Перехід на п.20.

16.4 Якщо  $(l_{jR} + 2) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: зменшення кількості одиниць в  $j$ -тому фрагменті на два на приймачі. Для корекції фрагмента  $E_{jR}$  потрібно додати дві одиниці. Перехід на п.21.

17. Якщо значення довжини  $l_{jR}$  дорівнює  $(h_2 - 1)$ :  $l_{jR} = h_2 - 1$ , то перевіряються наступні умови:

17.1 Якщо  $l_{jR} \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то перехід на п.20.

17.2 Якщо  $(l_{jR} - 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: збільшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Корекція реалізується шляхом видалення одиниці у фрагменті  $E_{jR}$ . Перехід на п.20.

17.3 Якщо  $(l_{jR} + 1) \bmod 8 = c_u + 2 \cdot c_{u+1} + 1 + 4 \cdot c_{u+2}$ , то при передачі  $j$ -того фрагмента виникла помилка синхронізації: приймач зменшив кількість одиниць в  $j$ -тому фрагменті на один. Відповідно до фрагмента  $E_{jR}$  додається одиниця. Перехід на п.21.

17.4 Якщо  $(l_{jR} + 2) \bmod 8 = c_u + 2 \cdot c_{u+1} + 1 + 4 \cdot c_{u+2}$ , то  $j$ -тий фрагмент передано з помилкою синхронізації: приймач зменшив кількість одиниць в  $j$ -тому фрагменті на два. Відповідно до фрагмента  $E_{jR}$  додаються дві одиниці. Перехід на п.21.

18. Якщо значення довжини  $l_{jR}$  дорівнює  $h_2$ :  $l_{jR} = h_2$ , то перевіряються наступні умови:

18.1 Якщо  $(u + 1) = q$ , то фрагмент  $E_{jR}$  містить помилку синхронізації альтернативного типу: збільшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Для корекції фрагмента  $E_{jR}$  видаляється одиниця. Перехід на п.20.

18.2 Якщо  $l_{jR} \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то перехід на п.21.

18.3 Якщо  $(l_{jR} + 1) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: приймач зменшив кількість одиниць в  $j$ -тому фрагменті на один. Відповідно до фрагмента  $E_{jR}$  додається одиниця. Перехід на п.21.

18.4 Якщо  $(l_{jR} - 1) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: збільшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Для корекції фрагмента  $E_{jR}$  видаляється одиниця. Перехід на п.20.

18.5 Якщо  $(l_{jR} + 2) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то  $j$ -тий фрагмент передано з помилкою синхронізації: приймач зменшив кількість одиниць в фрагменті  $E_{jR}$  на два. Корекція відбувається шляхом додавання двох одиниць до фрагмента  $E_{jR}$ . Перехід на п.21.

19. Якщо значення довжини  $l_{jR}$  більше  $h_2$ :  $l_{jR} > h_2$  то перевіряються наступні умови:

19.1 Якщо  $(u + 1) = q$ , то у  $j$ -тому фрагменті при передачі виникла помилка синхронізації: приймач збільшив кількість одиниць в  $j$ -тому фрагменті на два. Корекція фрагмента  $E_{jR}$  відбувається шляхом видалення двох одиниць. Перехід на п.20.

19.2 Якщо  $l_{jR} \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то перехід на п.21.

19.3 Якщо  $(l_{jR} + 1) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то фрагмент  $E_{jR}$  містить помилку синхронізації: зменшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на один. Відповідно до фрагмента  $E_{jR}$  додається одиниця. Перехід на п.21.

19.4 Якщо  $(l_{jR} - 1) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: приймач збільшив кількість одиниць в  $j$ -тому фрагменті на один. Корекція фрагмента  $E_{jR}$  відбувається шляхом видалення одиниці. Перехід на п.21.

19.5 Якщо  $(l_{jR} + 2) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то  $j$ -тий фрагмент передано з

помилкою синхронізації: зменшення кількості одиниць на стороні приймача в фрагменті  $E_{jR}$  на два. Для корекції фрагмента  $E_{jR}$  відбувається додавання двох одиниць. Перехід на п.21.

19.6 Якщо  $(l_{jR} - 2) \bmod 8 = c_u + 2 \cdot c_{u+1} + 4 \cdot c_{u+2}$ , то фрагмент  $E_{jR}$  передано з помилкою синхронізації: збільшення кількості одиниць на стороні приймача в  $j$ -тому фрагменті на два. Відповідно у фрагменті  $E_{jR}$  видаляються дві одиниці. Перехід на п.21.

19.7 Якщо  $(l_{jR} - 2) \bmod 4 = c_u + 2 \cdot c_{u+1}$ , то  $j$ -тий фрагмент передано з помилкою синхронізації: на приймачі в  $j$ -тому фрагменті виникло два додаткових одиничних біта. Корекція фрагмента  $E_{jR}$  відбувається шляхом видалення двох одиниць. Перехід на п.20.

20. Індекс  $u$  збільшується на два:  $u = u + 2$ . Перехід на п.22.

21. Індекс  $u$  збільшується на три:  $u = u + 3$ .

22. Якщо  $j < m$ , то виконується інкремент значення лічильника:  $j = j + 1$  та повернення на п. 15.

23. Кінець.

Запропонований метод може бути проілюстрований наступним прикладом:

Припустимо, що критичні межі  $h_1$  та  $h_2$  існування ризику виникнення одно і двократних помилок синхронізації дорівнюють  $h_1=4$  та  $h_2=8$ . Це означає, що: для послідовності  $E$  одиниць, довжина  $l$  якої менша або дорівнює  $h_1$ :  $l \leq h_1$  виникнення помилок синхронізації практично неможливе; для послідовності  $E$  одиниць, довжина  $l$  якої лежить в межах  $h_1 + 1 \leq l < h_2$ , не може виникнути більше однієї помилки: тобто довжина послідовності на приймачеві може змінитися не більш ніж на одиницю; для послідовності  $E$  одиниць, довжина  $l$  якої більша або дорівнює  $h_2$ :  $l \geq h_2$  може виникнути одна або дві помилки синхронізації: тобто довжина фрагменту  $E$  не може змінитися більш ніж на два біти.

Нехай, з передавача надсилається 64-бітовий блок  $B_S = \{0111\ 1101\ 0001\ 0111\ 1111\ 1001\ 0111\ 1010\ 1000\ 1111\ 1111\ 1010\ 0001\ 0111\ 1111\ 0101\}$ . Згідно з запропонованим методом, у блоці  $B_S$  виділяються послідовності одиничних бітів, кількість яких не менша  $h_1$ . Блок  $B_S$  містить 5 ( $m = 5$ ) таких послідовностей  $E_{1S}, E_{2S}, \dots, E_{5S}$ , що виділені жирним шрифтом. Кількість одиниць у фрагментах відповідно становить:  $l_{1S} = 5, l_{2S} = 8, l_{3S} = 4, l_{4S} = 9, l_{5S} = 7$ .

Лічильник  $j$  виділених фрагментів встановлюється в одиницю:  $j = 1$ .

Індекс  $u$  поточного біта контрольної послідовності  $S$  встановлюється в одиницю:  $u=1$ .

Оскільки довжина  $l_{1S}$  першого фрагмента дорівнює 5:  $l_{1S} \in [h_1; h_2)$ , то обчислюються два біти  $\langle c_1, c_2 \rangle$  контрольної послідовності  $S$ , шляхом отримання залишку від ділення довжини  $l_{1S}$  на чотири:  $c_1 + 2 \cdot c_2 = l_{1S} \bmod 4 = 5 \bmod 4 = 01$ . Індекс  $u$  збільшується на два:  $u = u + 2 = 1 + 2 = 3$ . Згідно п.9 умова  $j < m$  виконується:  $1 < 5$ , отже, значення лічильника інкрементується:  $j = 2$ .

Так як довжини  $l_{2S}$  другого фрагмента дорівнює  $h_2$ :  $l_{2S} = 8$ , то формуються наступні три біти  $\langle c_3, c_4, c_5 \rangle$  контрольної послідовності  $S$ , що обчислюються як залишок від ділення довжини  $l_{2S}$  на вісім:  $c_3 + 2 \cdot c_4 + 4 \cdot c_5 = l_{2S} \bmod 8 = 8 \bmod 8 = 000$ . Індекс  $u$  збільшується на три:  $u = u + 3 = 3 + 3 = 6$ . Оскільки значення лічильника  $j$  менше, ніж  $m$ , виконується інкремент лічильника:  $j = 3$ .

Довжина  $l_{3S}$  третього фрагмента дорівнює  $h_1$ :  $l_{3S} = 4$ , тому виконується обчислення наступних двох бітів  $\langle c_6, c_7 \rangle$  контрольної послідовності  $S$ . Визначається залишок від ділення довжини  $l_{3S}$  на чотири:  $c_6 + 2 \cdot c_7 = l_{3S} \bmod 4 = 4 \bmod 4 = 00$ . Згідно п.7 збільшується індекс  $u$  на два:  $u = u + 2 = 6 + 2 = 8$ . Відповідно до п.9 виконується умова  $j < m$  ( $3 < 5$ ), тому інкрементується значення лічильника:  $j = 4$ .

Оскільки довжина  $l_{4S}$  четвертого фрагмента дорівнює 9:  $l_{4S} \in [h_2; \infty)$ , то обчислюються наступні три біти  $\langle c_8, c_9, c_{10} \rangle$  контрольної послідовності  $S$ , котрі визначаються як залишок від ділення довжини  $l_{4S}$  на вісім:  $c_8 + 2 \cdot c_9 + 4 \cdot c_{10} = l_{4S} \bmod 8 = 9 \bmod 8 = 001$ . Відповідно до п.7 збільшується індекс  $u$  на три:  $u = u + 3 = 8 + 3 = 11$ . Значення лічильника  $j$  менше, ніж кількість фрагментів  $m$ :  $4 < 5$ , змінна  $j$  збільшується на один:  $j = 5$ .

Довжина  $l_{5S}$  п'ятого фрагмента дорівнює 7:  $l_{5S} \in [h_1; h_2)$ , то обчислюються два біти  $\langle c_{11}, c_{12} \rangle$  контрольної послідовності  $S$ , шляхом отримання залишку від ділення довжини  $l_{5S}$  на чотири:  $c_{11} + 2 \cdot c_{12} = l_{5S} \bmod 4 = 7 \bmod 4 = 11$ . Індекс  $u$  збільшується на два:  $u = u + 2 = 11 + 2 = 13$ . Оскільки значення лічильника  $j$  дорівнює кількості фрагментів  $m$ , то процес формування контрольної послідовності  $S$  завершено. Отже, контрольна послідовність  $S$  складається з таких бітів:  $S = \{0100\ 0000\ 0111\}$ .

Приймач отримує помилковий блок даних  $B_R = \{0111\ 1010\ 0010\ 1111\ 1100\ 1011\ 1110\ 1010\ 0011\ 1111\ 1111\ 0100\ 0010\ 1111\ 1111\ 0101\}$ . У блоці  $B_R$  виокремлюються фрагменти  $E_{1R}, E_{2R}, \dots, E_{5R}$ , що містять послідовність одиниць, кількість яких не менша  $h_1$ . Прийнятий блок  $B_R$  має 5 ( $m = 5$ ) потрібних послідовностей  $E_{1R}, E_{2R}, \dots, E_{5R}$ , які виділені жирним шрифтом. Довжини цих фрагментів відповідно дорівнюють:  $l_{1R} = 4, l_{2R} = 6, l_{3R} = 5, l_{4R} = 10, l_{5R} = 8$ .

Лічильник  $j$  помилкових фрагментів встановлюється в одиницю:  $j = 1$ .

Індекс  $u$  поточного біта контрольної послідовності  $S$  встановлюється в одиницю:  $u = 1$ .

Оскільки  $l_{1R} < h_2 - 2$  ( $4 < 6$ ), то аналізуються умови з пунктів 15.1 – 15.3 для визначення факту помилки в поточному фрагменті чи його відсутності. Перевіряється умова  $l_{1R} \bmod 4 = c_1 + 2 \cdot c_2$ , оскільки умова не справджується –  $l_{1R} \bmod 4 \neq 01$  ( $4 \bmod 4 \neq 01, 00 \neq 01$ ) – приймається рішення про отримання фрагмента  $E_{1R}$  з помилкою синхронізації. Для визначення типу помилки перевіряється умова  $(l_{1R} + 1) \bmod 4 = c_1 + 2 \cdot c_2$ , яка в даному випадку виконується –  $(4 + 1) \bmod 4 = 01$  ( $01 = 01$ ). Відповідно до п.15.2 фрагмент  $E_{1R}$  прийнятий з помилкою: зменшення на стороні приймача кількості одиниць у фрагменті. Корекція помилки здійснюється шляхом додавання одиничного біта до фрагмента  $E_{1R}$ . Згідно п.20 індекс  $u$  збільшується на два:  $u = u + 2 = 1 + 2 = 3$ . Оскільки значення лічильника  $j$  менше, ніж кількість фрагментів  $m$ , виконується збільшення лічильника на один:  $j = 2$ .

Так як довжина  $l_{2R}$  другого фрагмента дорівнює  $h_2 - 2$ :  $l_{2R} = 6$ , то виконується аналіз умов з пунктів 16.1 – 16.4. Згідно п. 16.1 здійснюється перевірка умови  $l_{2R} \bmod 4 = c_3 + 2 \cdot c_4$ , яка в даному випадку не виконується:  $6 \bmod 4 \neq 00$  ( $10 \neq 00$ ), що свідчить про наявність помилки у фрагменті  $E_{2R}$ . Відповідно до п.16.2 здійснюється перевірка умови  $(l_{2R} + 1) \bmod 4 = c_3 + 2 \cdot c_4$  – рівність не виконується:  $(6 + 1) \bmod 4 \neq 00$  ( $11 \neq 00$ ). Перевіряється умова  $(l_{2R} - 1) \bmod 4 = c_3 + 2 \cdot c_4$ , що також не виконується:  $(6 - 1) \bmod 4 \neq 00$  ( $01 \neq 00$ ). Згідно п.16.4 аналізується умова  $(l_{2R} + 2) \bmod 8 = c_3 + 2 \cdot c_4 + 4 \cdot c_5$  – рівність справджується:  $(6 + 2) \bmod 8 \neq 000$  ( $000 \neq 000$ ). Приймається рішення про наявність помилки синхронізації: приймач зменшив кількість одиниць у фрагменті  $E_{2R}$  на два. Корекція такої помилки виконується шляхом додавання двох

одиниць до фрагмента  $E_{2R}$ . Відповідно п.21 індекс  $u$  збільшується на три:  $u = u + 3 = 3 + 3 = 6$ . Згідно п.22 виконується умова  $j < m$  ( $2 < 5$ ), тому інкрементується значення лічильника:  $j = 3$ .

Оскільки  $l_{3R} < h_2 - 2$  ( $5 < 6$ ), тому проводиться аналіз умов з пунктів 15.1 – 15.3. Виконується перевірка умови  $l_{3R} \bmod 4 = c_6 + 2 \cdot c_7$  – умова не підтверджується:  $5 \bmod 4 \neq 00$  ( $5 \bmod 4 \neq 00, 01 \neq 00$ ), що свідчить про наявність помилки синхронізації в фрагменті  $E_{3R}$ . Перевіряється умова  $(l_{3R} + 1) \bmod 4 = c_6 + 2 \cdot c_7$ , яка не виконується:  $(5 + 1) \bmod 4 \neq 00$  ( $6 \bmod 4 \neq 00, 10 \neq 00$ ). Згідно з п.15.3 перевіряється рівність  $(l_{3R} - 1) \bmod 4 = c_6 + 2 \cdot c_7$ , яка виконується:  $(5 - 1) \bmod 4 = 00$  ( $4 \bmod 4 \neq 00, 00 \neq 00$ ). Відповідно помилкою є поява додаткового одиничного біта у фрагменті  $E_{3R}$  при передачі. Виконується корекція в третьому фрагменті прийнятого блоку  $B_R$ : видаляється один біт. Індекс  $u$  збільшується на два:  $u = u + 2 = 6 + 2 = 8$ . Значення лічильника  $j$  менше, ніж кількість фрагментів  $m$ :  $3 < 5$ , змінна  $j$  збільшується на один:  $j = 4$ .

Оскільки  $l_{4R} > h_2$  ( $10 > 8$ ), то аналізуються умови з пунктів 19.1 – 19.7. У силу того, що умова  $(u + 1) = 12$  не виконується:  $-10 \neq 12$ , то відбувається перехід до наступного пункту. Перевіряється умова  $l_{4R} \bmod 8 = c_8 + 2 \cdot c_9 + 4 \cdot c_{10}$ , так як рівність не виконується:  $l_{4R} \bmod 8 \neq 001$  ( $10 \bmod 8 \neq 001, 010 \neq 001$ ) – четвертий фрагмент прийнятий з помилкою синхронізації. Відповідно до п.19.2 рівність  $(l_{4R} + 1) \bmod 8 = c_8 + 2 \cdot c_9 + 4 \cdot c_{10}$  не справджується:  $l_{4R} \bmod 8 \neq 001$  ( $11 \bmod 8 \neq 001, 011 \neq 001$ ). Тому перевіряється умова з п.19.3  $(l_{4R} - 1) \bmod 8 = c_8 + 2 \cdot c_9 + 4 \cdot c_{10}$ , що в даному випадку виконується:  $l_{4R} \bmod 8 = 001$  ( $9 \bmod 8 = 001, 001 = 001$ ). Таку помилку класифікують як помилку синхронізації альтернативного типу: приймач збільшив кількість одиниць в четвертому фрагменті на один. Для корекції виявленої помилки виконується вилучення одиниці з фрагмента  $E_{4R}$  прийнятого блоку. Індекс  $u$  збільшується на три:  $u = u + 3 = 8 + 3 = 11$ . Оскільки значення лічильника  $j$  менше, ніж кількість фрагментів  $m$ , виконується збільшення лічильника на один:  $j = 5$ .

Так як довжина  $l_{5R}$  п'ятого фрагмента прийнятого блоку дорівнює 8:  $l_{5R} = h_2$ , то проводиться аналіз умов з пунктів 18.1 – 18.5. У силу того, що умова  $(u + 1) = 12$  виконується: тобто  $-(11 + 1 = 12)$ , це означає наявність помилки синхронізації: збільшення на стороні приймача кількості несинхронізованих одиниць у фрагменті.

Корекція помилки виконується шляхом видалення одиничного біта з фрагмента  $E_{5R}$ .

Оскільки значення лічильника  $j$  дорівнює кількості фрагментів  $m$ , то процес корекції помилок завершено.

Для розглянутого прикладу виявлено, що переданий блок  $B_R$  містить п'ять помилок синхронізації в п'яти фрагментах: у фрагменті  $E_{1R}$  зник одиничний біт, у фрагменті  $E_{2R}$  зникло два одиничних біта, у фрагменті  $E_{3R}$  з'явився додатковий одиничний біт, у фрагменті  $E_{4R}$  виник один одиничний біт та у фрагменті  $E_{5R}$  з'явився додатковий одиничний біт.

Скоригований інформаційний блок на приймачі має вигляд:  $B_R = \{0111\ 1101\ 0001\ 0111\ 1111\ 1001\ 0111\ 1010\ 1000\ 1111\ 1111\ 1010\ 0001\ 0111\ 1111\ 0101\}$  та відповідає надісланому передавачем блоку  $B_S$ .

### Аналіз ефективності

Основна перевага розробленого методу корекції помилок синхронізації, у порівнянні з існуючими полягає у тому, що він дозволяє виправляти більш широкий клас помилок. У порівнянні з відомими методами позитивною відмінністю запропонованого є відсутність обмежень на кількість помилок, що можуть бути виправлені: метод дозволяє корегувати помилки синхронізації, що можуть виникнути при передачі всіх, потенційно небезпечних послідовностей бітів, передача яких не синхронізована.

На відміну від всіх існуючих, запропонований метод базується на розширеній моделі виникнення помилок синхронізації. Всі існуючі методи виходять з моделі того, що при передачі послідовності несинхронізованих бітів може виникнути максимум одна помилка. Це означає, що згадані методи не здатні виправляти дві помилки, що потенційно можуть виникнути при передачі довгих послідовностей несинхронізованих бітів.

У розширеній моделі виникнення помилок синхронізації передбачається для коротких послідовностей (довжиною не більшою ніж  $h_1$ ) можливість виникнення однієї помилки, а для більш довгих послідовностей – розширена модель передбачає можливість виникнення двох помилок синхронізації. Відповідно, розроблений метод, що базується на цій моделі, забезпечує можливість виправлення двох помилок, що потенційно можуть виникнути при

передачі довгих послідовностей несинхронізованих бітів.

Важливою перевагою запропонованого методу є можливість гнучкого налаштування параметрів методу у відповідності до характеристик реального каналу передачі даних. Цей факт є особливо важливим для систем управління об'єктами та процесами в реальному часі, компоненти яких працюють у різних температурних режимах. Зокрема, мова йде про комп'ютерні системи управління літальними апаратами, в яких число цифрових датчиків може сягати до 250 тис. До класу згаданих систем відносяться також цифрові комплекси управління об'єктами та технологічними процесами, пов'язаними з термообробкою.

Зокрема, параметри розробленого методу гнучко налаштовуються в залежності від фактичної кількості виникаючих помилок: при збільшенні числа помилок значення критичної межі  $h$  зменшується та навпаки. Також можливе гнучке налаштування в процесі роботи каналу в залежності від типу каналу або від різниці температур приймача та передавача (наприклад, для літаків значення критичної межі  $h$  на землі становить:  $h = 6$ , а на висоті –  $h = 3-4$ ).

Число контрольних  $k$  символів, які додатково передаються разом з інформаційним блоком являє собою випадкову величину, що залежна від його довжини  $n$ .

Припускаючи, що нульові та одиничні біти в  $n$ -бітовому блоці даних зустрічаються з рівною ймовірністю, нескладно показати, що середня кількість фрагментів, що складаються рівно з  $j$  одиниць дорівнює  $n / 2^{j+2}$ . Відповідно, середня кількість  $k_1$  фрагментів інформаційного блоку, що складаються зі слідуєчих підряд від  $h_1 - 1$  до  $h_2 - 1$  бітів, передача яких несинхронізована визначається як сума:

$$k_1 \approx \sum_{j=h_1-1}^{h_2-1} \frac{n}{2^{j+2}} \approx \frac{n}{2^{h_1}} \cdot \left(1 - \frac{1}{2^{h_2-h_1}}\right). \quad (3)$$

Середня кількість  $k_2$  фрагментів інформаційного блоку, що складаються зі слідуєчих підряд не менш ніж  $h_2$  несинхронізованих бітів визначається як сума:

$$k_2 \approx \sum_{j=h_2}^{\infty} \frac{n}{2^{j+2}} \approx \frac{n}{2^{h_2}}. \quad (4)$$

Оскільки для кожної послідовності довжиною від  $h_1 - 1$  до  $h_2 - 1$  несинхронізованих бітів при передачі бітів в запропонованому методі використовується два контрольних біти, а для послідовностей більшої довжини – 3 біти, то



загальна середня кількість  $k$  контрольних розрядів визначається формулою:

$$k = 2 \cdot k_1 + 3 \cdot k_2 \approx \frac{n}{2^{h_1-1}} \cdot \left(1 - \frac{1}{2^{h_2-h_1}}\right) + \frac{3 \cdot n}{2^{h_2}} \quad (5)$$

Наприклад, якщо при типовому значенні  $h_1=4$ ,  $h_2=8$  контролюється передача блоку довжиною 256 байт ( $n = 2048$ ), то згідно (5), середня кількість контрольних розрядів  $k$  становить:  $k = 264$ . Відповідно, запропонований метод передбачає додаткову передачу  $k = 264$  бітової контрольної послідовності, що становить 12.89% від довжини блоку.

Відомий метод, що здатен коригувати помилки синхронізації при передачі всіх послідовностей несинхронізованих бітів, за умови, що для кожної такої послідовності може бути втрачено або додано лише один біт, використовують за цих умов 256 контрольних розрядів, тобто має рівень надлишковості, практично аналогічний запропонованому методу. Використання бітового стаффіngu потребує передачі додаткового біту для кожної з послідовностей довжиною більше  $h_1-1$  одиниць, тобто  $2^{11-4} = 128$  додаткових бітів. Таким чином, запропонований метод, має високі функціональні можливості щодо виправлення помилок синхронізації і при цьому за рівнем

надлишковості практично мало відрізняється від відомих методів.

## Висновки

У результаті проведених досліджень розроблено метод виправлення помилок синхронізації, відмінністю якого є можливість корекції вказано класу помилок за умови втрати чи додавання більш ніж одного біту в процесі передачі довгих послідовностей бітів, передача яких не синхронізована. Це дозволило розширити клас помилок синхронізації, що можуть бути виправлені в порівнянні з відомими методами.

Запропонований метод дозволяє гнучко змінювати параметри процедур корекції в залежності від реальних характеристик виникаючих помилок синхронізації і, цим самим, забезпечує можливість автоматичного підлаштування коригуючої здатності безпосередньо під час передачі при зміні характеру виникаючих помилок. Це дозволяє ефективно реалізувати корекцію виникаючих помилок передачі даних в системах комп'ютерного управління літальними апаратами та технологічними процесами.

## Список посилань

1. Агуров П.В. Интерфейс USB. Практика использования и программирования / П.В. Агуров - СПб.:БХВ-Петербург, 2005. – 576 с.
2. Klove T. Error Detecting Codes: General Theory and Their Application in Feedback Communication Systems / T. Klove, V. Korzhik - Norwell, MA: Kluwer, 1995. – 433 p.
3. Markovskiy O.P. Synchronization Error Detection of Data Transmission Errors in Asynchronous Channels / O.P.Markovskiy, O. Fedorchko, T. Doukas, T. Bardis // Recent Advances in Electrical Engineering Series -37. Latest trends on Systems.- Vol.1.- Proceeding of the 18-th International Conference on Systems - CSCC-14. - Santorini Island, Greece, July 17-21. 2014. - ISSN: 1790-5117, ISBN: 978-1-61804-243-9. P.179-183.
4. Марковський О.П. Метод корекції одиночної помилки синхронізації в асинхронних лініях передачі цифрових даних / О.П. Марковський, О.Ф. Федоречко О.І., А.А. Коротенко // Вісник Національного технічного університету України "КПІ" Інформатика, управління та обчислювальна техніка, – Київ: ВЕК+ – 2012 – № 57. С. 70-75.